

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11067909 A**(43) Date of publication of application: **09.03.99**

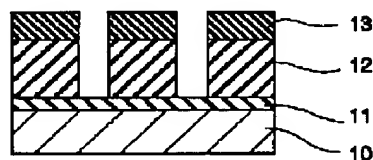
(51) Int. Cl.

H01L 21/768
H01L 21/3065
H01L 21/312(21) Application number: **09229403**(22) Date of filing: **26.08.97**(71) Applicant: **SONY CORP**(72) Inventor: **FUKAZAWA MASANAGA**
KADOMURA SHINGO(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a semiconductor device, with which the defective etching of an inter-layer film can be prevented when an organic low dielectric constant film is used as an inter-layer film.

SOLUTION: An inter-layer film, containing at least an organic low dielectric constant film 12 above a semiconductor substrate, is formed in this semiconductor device manufacturing method. This organic low dielectric constant film is etched immediately prior to the end point of etching using O₂ gas, and the remaining part of the low dielectric constant film is overetched using a forming gas. As a result, at least a part of the via hole can be formed on the organic low dielectric constant film 12. Accordingly, the defective etching of bowing shape, etc., can be prevented on the organic low dielectric constant film 12.



(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/768
21/3065
21/312H 0 1 L 21/90
21/312
21/302
21/90S
N
J
V

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号

特願平9-229403

(22) 出願日

平成9年(1997) 8月26日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者

深沢 正永

東京都品川区北品川 6 丁目 7 番35号ソニー
株式会社内

(72) 発明者

門村 新吾

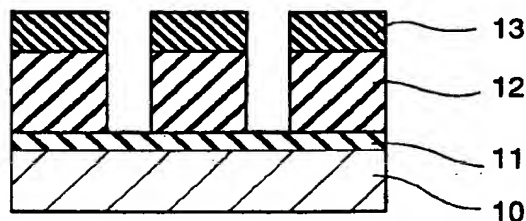
東京都品川区北品川 6 丁目 7 番35号ソニー
株式会社内

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 層間膜として有機系低誘電率膜を用いた場合、この層間膜におけるエッチング不良を防止できる半導体装置の製造方法を提供する。

【解決手段】 本発明の半導体装置の製造方法は、半導体基板の上方に少なくとも有機系低誘電率膜 12 を含む層間膜を形成する工程と、この有機系低誘電率膜 12 のエッチングを終点直前まで O₂ 系のガスを用いて行い、該有機系低誘電率膜 12 の残りの部分のオーバーエッチングをフォーミングガスを用いて行うことにより、該有機系低誘電率膜 12 にピアホールを少なくとも一部を形成する工程と、を具備することを特徴とする。これにより、有機系低誘電率膜 12 にボーイング形状等のエッチング不良が生じることがない。



【特許請求の範囲】

【請求項1】 半導体基板の上方に少なくとも有機系低誘電率膜を含む層間膜を形成する工程と、
この有機系低誘電率膜をフォーミングガスを用いてエッチングすることにより、該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の上方に少なくとも有機系低誘電率膜を含む層間膜を形成する工程と、
この有機系低誘電率膜の一部をO₂系のガスを用いてエッチングし、該有機系低誘電率膜の残りの部分をフォーミングガスを用いてエッチングすることにより、該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板の上方に少なくとも有機系低誘電率膜を含む層間膜を形成する工程と、
この有機系低誘電率膜のエッチングを終点直前までO₂系のガスを用いて行い、該有機系低誘電率膜の残りの部分のオーバーエッチングをフォーミングガスを用いて行うことにより、該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項4】 上記層間膜が少なくともSiO₂膜と有機系低誘電率膜とを含む積層構造膜であることを特徴とする請求項1～3のうちのいずれか1項記載の半導体装置の製造方法。

【請求項5】 半導体基板の上方に有機系低誘電率膜を形成する工程と、
この有機系低誘電率膜の上にSiO₂膜を形成する工程と、
このSiO₂膜をマスクとして該有機系低誘電率膜をフォーミングガスを用いてエッチングすることにより、該SiO₂膜及び該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板の上方に第1のSiO₂膜を形成する工程と、
この第1のSiO₂膜の上に有機系低誘電率膜を形成する工程と、
この有機系低誘電率膜の上に第2のSiO₂膜を形成する工程と、
この第2のSiO₂膜をエッチングする工程と、
該第2のSiO₂膜をマスクとして該有機系低誘電率膜をフォーミングガスを用いてエッチングする工程と、
該第2のSiO₂膜をマスクとして該第1のSiO₂膜をエッチングすることにより、該第1、第2のSiO₂膜及び該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板の上方に第1のSiO₂膜を形成する工程と、
この第1のSiO₂膜の上に有機系低誘電率膜を形成する工程と、
この有機系低誘電率膜の上に第2のSiO₂膜を形成する工程と、
この第2のSiO₂膜をエッチングする工程と、
該第2のSiO₂膜をマスクとして該有機系低誘電率膜の一部をO₂系のガスを用いてエッチングし、該有機系低誘電率膜の残りの部分をフォーミングガスを用いてエッチングする工程と、
該第2のSiO₂膜をマスクとして該第1のSiO₂膜をエッチングすることにより、該第1、第2のSiO₂膜及び該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項8】 上記第2のSiO₂膜が該第1のSiO₂膜の厚さより厚く形成されることを特徴とする請求項6又は7記載の半導体装置の製造方法。

【請求項9】 半導体基板の上方に有機系低誘電率膜を形成する工程と、
この有機系低誘電率膜の上にSiO₂膜を形成する工程と、
このSiO₂膜の上にフォトレジスト膜を設け、このフォトレジスト膜をマスクとして該SiO₂膜をエッチングする工程と、
該SiO₂膜をマスクとしてフォーミングガスを用いて該有機系低誘電率膜をエッチングするとともに該フォトレジスト膜をエッチングすることにより、該SiO₂膜及び該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【請求項10】 上記有機系低誘電率膜をフォーミングガスを用いてエッチングする場合、250℃以下の温度でH₂濃度5%以上のフォーミングガスを用いることを特徴とする請求項1～3、5～7又は9のうちのいずれか1項記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、酸素プラズマ耐性の弱い有機系低誘電率膜自身に接続孔及び溝配線用の溝を形成する際のエッチング方法に関するものである。

【0002】

【従来の技術】 近年の超LSIデバイスでは、数mm角のチップに数百万個以上の素子を集積する必要があるため、従来のような平面的な素子の微細化でこれを実現するのは困難である。従って、配線を2重3重に積み上げる多層配線技術を採用することが不可欠である。従来の多層配線技術では、配線と配線との層間膜としてSiO

2膜が用いられている。

【0003】一方、素子の高機能化、デバイスの動作速度の高速化のニーズはとどまるところを知らず、これを満たすプロセス技術の整備が急がれている。その中でも、多層配線構造の採用によって層間容量の低減が重要な課題となる。これは層間容量の低減が信号遅延時間の低減につながるからである。

【0004】

【発明が解決しようとする課題】 上述したような背景から、層間容量低減のための低誘電率層間絶縁膜が注目されている。低誘電率層間絶縁膜には、大別して有機系と無機系があり、無機系の代表であるSiOF膜等は、プラズマCVD(Chemical Vapor Deposition)による成膜の容易さ等もあって、実用化の近い技術として注目されている。一方、有機系材料は、比誘電率 ϵ が2~2.5と低い材料が多く、次世代以降の層間絶縁膜としての実用化の期待も大きい。

【0005】このように、半導体装置において低誘電率膜を層間絶縁膜として用いる要望が高まっている。この場合は、有機系低誘電率膜(比誘電率が3.0以下のもの)を回転塗布によって成膜し、この有機系低誘電率膜上に保護膜としてのSiO₂膜をCVD成膜するのが一般的なプロセスであると考えられる。低誘電率膜を層間絶縁膜として用いるに伴い、有機系低誘電率膜に接続孔や溝配線用の溝を形成する技術が必要となる。

【0006】ところで、有機系材料は酸素プラズマに対する耐性に問題のあるものが多い。このため、有機系低誘電率膜に接続孔や溝配線用の溝を形成するためのエッチング工程で、有機系の膜に通常用いられる酸素プラズマを含むプラズマを用いてエッチングをすると、有機系低誘電率膜にエッチング不良が生じることがある。即ち、有機系低誘電率膜が大きく等方的にエッチングされてしまい、接続孔の形状がボーイング形状になったり、部分的に酸素活性種にアタックされて膜質が劣化してしまうことがある。

【0007】本発明は上記のような事情を考慮してなされたものであり、その目的は、層間膜として有機系低誘電率膜を用いた場合、この層間膜におけるエッチング不良を防止できる半導体装置の製造方法を提供することにある。

【0008】

【課題を解決するための手段】 上記課題を解決するため、本発明の第1態様に係る半導体装置の製造方法は、半導体基板の上方に少なくとも有機系低誘電率膜を含む層間膜を形成する工程と、この有機系低誘電率膜をフォーミングガスを用いてエッチングすることにより、該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、を具備することを特徴とする。

【0009】第1態様に係る半導体装置の製造方法で

は、有機系低誘電率膜をフォーミングガスを用いてエッチングするため、有機系低誘電率膜との反応が進み過ぎることがなく、有機系低誘電率膜に良好な形状の接続孔又は溝の少なくとも一部を形成することができる。

【0010】また、本発明の第2態様に係る半導体装置の製造方法は、半導体基板の上方に少なくとも有機系低誘電率膜を含む層間膜を形成する工程と、この有機系低誘電率膜の一部をO₂系のガスを用いてエッチングし、該有機系低誘電率膜の残りの部分をフォーミングガスを用いてエッチングすることにより、該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、を具備することを特徴とする。

【0011】第2態様に係る半導体装置の製造方法では、有機系低誘電率膜のエッチング工程を2ステップ化し、まず有機系低誘電率膜の一部をエッチレートの高いO₂系のガスを用いてエッチングを行い、その後、有機系低誘電率膜の残りの部分をエッチレートは遅いが良好なエッチング形状を得ることが可能なフォーミングガスを用いてエッチングしている。O₂系のガスを用いたエッチングによりフォーミングガス使用によるスループットの低下をカバーでき、第1態様に係る半導体装置の製造方法に比べて有機系低誘電率膜のエッチング処理時間を短縮することができる。

【0012】また、本発明の第3態様に係る半導体装置の製造方法は、半導体基板の上方に少なくとも有機系低誘電率膜を含む層間膜を形成する工程と、この有機系低誘電率膜のエッチングを終点直前までO₂系のガスを用いて行い、該有機系低誘電率膜の残りの部分のオーバーエッチングをフォーミングガスを用いて行うことにより、該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一部を形成する工程と、を具備することを特徴とする。

【0013】第3態様に係る半導体装置の製造方法では、有機系低誘電率膜のエッチング工程を2ステップ化し、まず有機系低誘電率膜のエッチングを終点直前までO₂系のガスを用いて行い、有機系低誘電率膜の残りの部分のオーバーエッチングをフォーミングガスを用いてエッチングしている。これにより、第1態様に係る半導体装置の製造方法に比べて有機系低誘電率膜のエッチング処理時間を短縮することができる。

【0014】また、本発明の第4態様に係る半導体装置の製造方法は、半導体基板の上方に有機系低誘電率膜を形成する工程と、この有機系低誘電率膜の上にSiO₂膜を形成する工程と、このSiO₂膜の上にフォトリソ膜を設け、このフォトリソ膜をマスクとして該SiO₂膜をエッチングする工程と、該SiO₂膜をマスクとしてフォーミングガスを用いて該有機系低誘電率膜をエッチングするとともに該フォトリソ膜をエッチングすることにより、該SiO₂膜及び該有機系低誘電率膜に接続孔の少なくとも一部又は溝の少なくとも一

部を形成する工程と、を具備することを特徴とする。

【0015】第4態様に係る半導体装置の製造方法では、有機系低誘電率膜をフォーミングガスを用いてエッチングすることにより、 SiO_2 膜上の有機系材料からなるフォトリソ膜も同時にエッチング除去することができる。このため、その後のフォトリソ膜を除去するアッシング工程が必要でなくなり、工程数を少なくできる。

【0016】尚、有機系低誘電率膜をフォーミングガスを用いてエッチングする場合は、 250°C 以下の温度で H_2 濃度5%以上のフォーミングガスを用いることが望ましい。

【0017】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図1～図4は、本発明の第1の実施の形態による半導体装置の製造方法を説明する断面図である。

【0018】先ず、図1に示すように、図示せぬ半導体基板の上にはAl配線10が形成され、このAl配線10の上には例えばCVD法により保護膜として SiO_2 膜11が堆積される。この後、この SiO_2 膜11の上には例えば回転塗布によってポリアリールエーテル（商品名FLARE1.0X：アライドシグナル社製）等の有機系低誘電率膜12が成膜される。次に、この有機系低誘電率膜*

Gas: $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}/\text{O}_2$ 12/150/200/5sccm
Pressure: 40mTorr
RF Power: 1700W
基板設置電極温度: 20°C

【0022】次に、図3に示すように、ポリアリールエーテルからなる有機系低誘電率膜12が図示せぬECRプラズマエッチャーを用いて SiO_2 膜13をマスクとして以下の条件でフォーミングガスによりエッチングされる。この時のエッチングによりレジスト膜14も同時にエッチング除去される。これはレジスト膜14が有機系材料で形成されているからである。尚、フォーミングガスとは、Ar又は N_2 に H_2 が含まれたガスをいう。

Gas: $\text{N}_2/5\%\text{H}_2$ 2000sccm
Pressure: 7mTorr
 μ 波 Power: 1200W

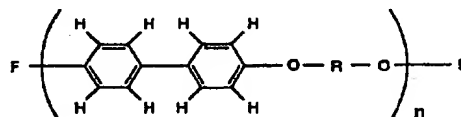
※ Gas: $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}/\text{O}_2$ 12/150/200/5sccm
Pressure: 40mTorr
RF Power: 1700W
基板設置電極温度: 20°C

【0024】上記第1の実施の形態によれば、有機系低誘電率膜12をエッチング加工するためのエッチングガスにフォーミングガスである $\text{N}_2/5\%\text{H}_2$ ガスを用いている。このように N_2 と H_2 成分のエッチングガスを用いると、このガスと有機系低誘電率膜12との反応が進み過ぎることがなく、 CH_x やCNという形でエッチング反応が進むので、図4に示すように良好な形状のピ

*12の上には例えばCVD法により保護膜として SiO_2 膜13が堆積され、この SiO_2 膜13の膜厚は SiO_2 膜11のそれより厚く形成される。この結果、Al配線10の上には層間絶縁膜が形成される。この層間絶縁膜は、上層が SiO_2 膜11、中層が有機系低誘電率膜12、下層が SiO_2 膜13からなる積層構造を有する。尚、ポリアリールエーテルの構造式は以下の通りである。

【0019】

【化1】



【0020】次に、この SiO_2 膜13の上にはフォトリソ（PR）膜14が設けられ、このフォトリソ膜14にはビアホールを形成するためのパターンが形成される。

【0021】この後、図2に示すように、上層の SiO_2 膜13が図示せぬマグネトロンエッチャーを用いてフォトリソ膜14をマスクとして以下の条件でエッチングされる。

※基板設置電極温度: 250°C

【0023】この後、図4に示すように、下層の SiO_2 膜11がマグネトロンエッチャーを用いて上層の SiO_2 膜13をマスクとして以下の条件でエッチングされる。この時、上層の SiO_2 膜13も下層の SiO_2 膜11と同程度の厚さだけ同時にエッチングされるが、下層の SiO_2 膜11より上層の SiO_2 膜13の方が膜厚を厚く形成しているため、有機系低誘電率膜12上に SiO_2 膜13は残される。この結果、 SiO_2 膜11、有機系低誘電率膜12、 SiO_2 膜13からなる層間絶縁膜にはビアホールが形成される。

ビアホールを形成することができる。

【0025】すなわち、有機系の膜に通常用いられる酸素プラズマを含むプラズマを用いて有機系低誘電率膜12をエッチング（ O_2 エッチング）すると、酸素による燃焼反応によりエッチング反応が進み過ぎてしまい、図6に示すように、酸素ラジカルによるアタックで有機系低誘電率膜12の部分が大きく等方的にエッチングされ

て、ピアホール形状がボーイング形状になったり、部分的に酸素活性種にアタックされて有機系低誘電率膜12の膜質が劣化してしまうなどのエッチング不良が生じることとなる。しかし、上記のように有機系低誘電率膜12のエッチングガスとしてフォーミングガスを用いることにより、有機系低誘電率膜12にエッチング不良を生じること防止できる。

【0026】また、有機系低誘電率膜12のエッチングガスとしてフォーミングガスを用いることにより、フォトレジスト膜14も同時にエッチング除去することができ10このため、その後のアッシング工程（フォトレジスト膜14を気相中で除去する工程）が必要でなくなる。これは工程数を減らすことにつながり、製造コストの低減という効果を生む。

【0027】図5は、本発明の第2の実施の形態による*

Gas: $C_4F_8/CO/Ar/O_2$ 12/150/200/5sccm

Pressure: 40mTorr

RF Power: 1700W

基板設置電極温度: 20℃

【0030】この後、有機系低誘電率膜12が図示せぬECRプラズマエッチャーを用いて以下のような2ステップのエッチング工程によりエッチングされる。

【0031】まず、有機系低誘電率膜12にステップ1のエッチング工程を施す。すなわち、図5に示すように、上層の SiO_2 膜13をマスクとして、有機系低誘電率膜12が以下の条件で O_2/N_2 ガスによりエッチングされる。この時のエッチングは、有機系低誘電率膜12が下層の SiO_2 膜11に接触する接触面に達する直前に終了させる。つまり、 SiO_2 膜11が露出するまでエッチングするのではなく、有機系低誘電率膜12を少し残したところでSTEP1のエッチングは終了させる。

Gas: O_2/N_2 2000/100sccm

Pressure: 7mTorr

μ波 Power: 1200W

基板設置電極温度: 250℃

【0032】次に、有機系低誘電率膜12にステップ2※

Gas: $C_4F_8/CO/Ar/O_2$ 12/150/200/5sccm

Pressure: 40mTorr

RF Power: 1100W

基板設置電極温度: 20℃

【0034】上記第2の実施の形態においても第1の実施の形態と同様の効果を得ることができる。

【0035】また、有機系低誘電率膜12のエッチング工程を2ステップ化し、ステップ1で有機系の膜に通常用いられる O_2 エッチングを行い、ステップ2で有機系低誘電率膜12の残りの部分のエッチングとオーバーエッチングをフォーミングガスにより行っている。このため、有機系低誘電率膜12のエッチングの際のスループットの低下を防ぐことができる。

* 半導体装置の製造方法を説明する断面図である。

【0028】まず、第1の実施例と同様に、図1に示すように、図示せぬ半導体基板の上にはAl配線10が形成され、このAl配線10の上には SiO_2 膜11が堆積される。この後、この SiO_2 膜11の上にはポリアリールエーテル等の有機系低誘電率膜12が成膜され、この有機系低誘電率膜12の上には SiO_2 膜13が堆積される。次に、この SiO_2 膜13の上にはフォトレジスト膜14が設けられ、このフォトレジスト膜14にはピアホール（又はコンタクトホール）を形成するためのパターンが形成される。

【0029】次に、図2に示すように、フォトレジスト膜14をマスクとして SiO_2 膜13が図示せぬマグネトロンエッチャーを用いて以下の条件でエッチングされる。

Gas: $N_2/5\%H_2$ 2000sccm

Pressure: 7mTorr

μ波 Power: 1200W

基板設置電極温度: 250℃

20※のエッチング工程を施す。すなわち、図5に示すような有機系低誘電率膜12のエッチングのエンドポイント直前の状態でエッチング条件を以下のものに切り替えて、有機系低誘電率膜12がオーバーエッチングされるまでフォーミングガスによりエッチングを行う。その結果、有機系低誘電率膜12が図3に示すようにエッチングされる。

Gas: $N_2/5\%H_2$ 2000sccm

Pressure: 7mTorr

μ波 Power: 1200W

30 基板設置電極温度: 250℃

【0033】この後は、第1の実施の形態と同様に、図4に示すように、下層の SiO_2 膜11がマグネトロンエッチャーを用いて以下の条件でエッチングされる。この結果、 SiO_2 膜11、有機系低誘電率膜12、 SiO_2 膜13からなる層間絶縁膜にはピアホール（又はコンタクトホール）が形成される。

【0036】すなわち、有機系低誘電率膜12をフォーミングガスによりエッチングすると、ボーイング形状等のエッチング不良の発生は防止できるが、フォーミングガスプロセスは O_2 エッチングに比べて反応性が低い分、エッチングレートが遅いので、スループットが低下してしまう。具体的には、同じ量の有機系低誘電率膜12をエッチングするのに、フォーミングガスエッチングでは O_2 エッチングの5倍以上の時間を必要とする。しかし、上記のように2ステップ化し、ステップ1で O_2

エッチングにより有機系低誘電率膜12のエッチングのエンドポイント直前までを短時間でエッチングし、ステップ2で残りの部分をフォーミングガスによりエッチングすることにより、有機系低誘電率膜12のエッチング処理時間を第1の実施の形態の場合と比較して1/4以下に短縮することができる。したがって、高スループットで且つボーイング形状ではない良好な形状のビアホール又はコンタクトホール（接続孔）を形成することができる。

【0037】尚、有機系低誘電率膜12のオーバーエッチングの際に等方的なエッチングがされてボーイング形状が生じると考えられるので、ステップ1でエッチングエンドポイントの直前までのエッチングにO₂ エッチングを用いても接続孔にボーイング形状を生じることはない。

【0038】また、上記第1及び第2の実施の形態では、A1配線10上に、上層がSiO₂膜11、中層が有機系低誘電率膜12、下層がSiO₂膜13からなる積層構造を有する層間絶縁膜を形成しているが、A1配線10上に有機系低誘電率膜のみからなる層間絶縁膜を形成することも可能であり、さらに、A1配線10上に有機系低誘電率膜とその他の絶縁膜とを適宜組み合わせた積層構造を有する層間絶縁膜を形成することも可能である。

【0039】また、有機系低誘電率膜12を含む層間絶縁膜にビアホール又はコンタクトホール（接続孔）を形成することに本発明を用いているが、これに限られず、有機系低誘電率膜12を含む層間絶縁膜をエッチング加工する工程であれば本発明を用いることが可能である。例えば、有機系低誘電率膜12を含む層間絶縁膜に溝配線用の溝を形成することに本発明を用いることも可能である。

【0040】また、上述したエッチング装置、エッチング条件等は一例であるので、本発明の主旨を逸脱しない範囲において適宜変更することも可能である。

【0041】また、上記有機系低誘電率膜12をフォー

ミングガスを用いてエッチングする際、基板設置電極温度を250℃としているが、250℃以下の温度であれば他の温度に適宜変更することも可能である。

【0042】また、上記有機系低誘電率膜12をフォーミングガスを用いてエッチングする際、H₂濃度5%のフォーミングガスを用いているが、H₂濃度が5%以上であれば他のH₂濃度に適宜変更することも可能である。

【0043】

【発明の効果】以上説明したように本発明によれば、有機系低誘電率膜をフォーミングガスを用いてエッチングしている。したがって、層間膜として有機系低誘電率膜を用いた場合、この層間膜におけるエッチング不良を防止できる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の製造方法を説明する断面図である。

【図2】本発明の第1の実施の形態による半導体装置の製造方法を説明するものであり、図1の次の工程を示す断面図である。

【図3】本発明の第1の実施の形態による半導体装置の製造方法を説明するものであり、図2の次の工程を示す断面図である。

【図4】本発明の第1の実施の形態による半導体装置の製造方法を説明するものであり、図3の次の工程を示す断面図である。

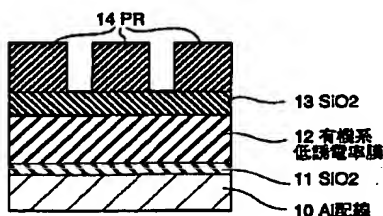
【図5】本発明の第2の実施の形態による半導体装置の製造方法を説明する断面図である。

【図6】有機系低誘電率膜をO₂エッチングした場合、有機系低誘電率膜にボーイング形状等のエッチング不良が生じることを示す断面図である。

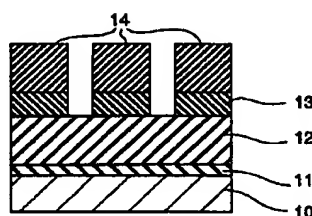
【符号の説明】

10…A1配線、11…SiO₂膜、12…有機系低誘電率膜（ポリアリールエーテル）、13…SiO₂膜、14…フォトレジスト膜。

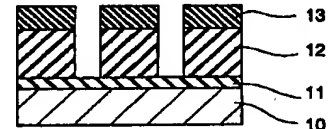
【図1】



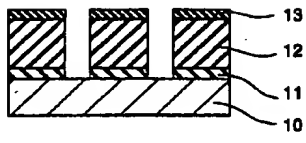
【図2】



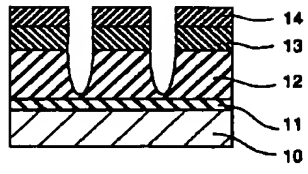
【図3】



【図4】



【図5】



【図6】

